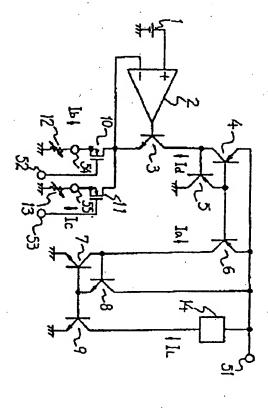
Supplement to the Patent Abstracts of Japan of Citation 3

The constant current circuit shown in Fig. 2 is provided with input terminals 57 and 58 for receiving current setting signals. The circuit is wired such that the current setting signals work on the PMOS transistors 25 to 28 and inverters 29 and 30, and can output four different kinds of electrical values, 0, Ib, Ic and Ib+Ic.



differential amplifier constant voltage source PMOS SOWN transistors transistors transistors

> 31-33: resistors inverter

K

input terminals circuit

for current setting

图

prior art

逐

826

3

15

# PATENT ABSTRACTS OF JAPAN

(11)Publication number:

04-117709

(43)Date of publication of application: 17.04.1992

(51)Int.CI.

3/343 H03F

G05F 3/26

(21)Application number: 02-233072

(71)Applicant:

NEC IC MICROCOMPUT SYST LTD

(22)Date of filing:

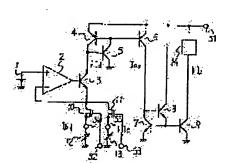
03.09.1990 ... (72)Inventor.:

HAMAOKA YUKIAKI

# (54) CONSTANT CURRENT CIRCUIT

#### (57)Abstract:

PURPOSE: To supply a prescribed constant current to a load circuit by providing a 2nd current mirror circuit whose reference voltage side connects to an output of a 1st current mirror circuit and whose output side connects to the prescribed load circuit to the constant current circuit and selecting and setting a reference current supplied between an inverting input of a differential amplifier and a ground level. CONSTITUTION: Transistors(TRs) 4-6 and 7-9 form respectively 1st and 2nd current mirror circuits, and a constant voltage source 1, a differential amplifier 2, a TR 3 and resistors 12, 13 form a voltage current conversion circuit. The differential amplifier 2 forms an amplifier circuit of full feedback type by means of the TR 3. When a voltage V1 of the constant voltage source 1 is applied to a noninverting input of the differential amplifier 2, since the on-resistance of an n-channel MOS TR 10 or 11 being a component of a switching circuit is sufficiently smaller than the resistance of the resistors 12, 13 being constant current setting resistors, the voltage V1 is outputted without attenuation at a terminal 54 or 55. Thus, a prescribed stable constant current is supplied to the load circuit.



## **LEGAL STATUS**

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

19日本国特許庁(JP)

①特許出願公開

# ◎ 公 開 特 許 公 報 (A) 平4-117709

Sint. Cl. 3

識別記号

庁内整理番号

❸公開 平成 4年(1992) 4月17日

H 03 F 3/343 G 05 F 3/26

A 8326-5 J 8938-5 H

審査請求 未請求 請求項の数 1 (全4頁)

◎発明の名称 定電流回路

②特 頤 平2-233072

❷出 頤 平2(1990)9月3日

個発明者 浜岡

幸 晃

神奈川県川崎市中原区小杉町1丁目403番53 日本電気ア

イシーマイコンシステム株式会社内

の出 顋 人 日本電気アイシーマイ・

神奈川県川崎市中原区小杉町1丁目403番53

コンシステム株式会社

四代 理 人 并理士 内 原 晋

明 維 書

発明の名称

16 0 6

定電流回路

#### 特許請求の節題

新定の定電圧を正相入力側に入力し、その出力 電圧を所定のトランジスタのベースに入力し、こ のトランジスタのエミッタを介して出力電圧を逆 祖入力側に帰還する差勤増幅器と、

基準電圧側を育配トランジスタのコレクタに接続して形成される第1のカレントミラー回路と、

基準電圧側を前記第1のカレントミラー回路の 出力側に接続し、出力側を所定の負荷回路に接続 して形成される第2のカレントミラー回路と、

前記トランジスタのエミッタならびに差動増額 器の連相入力側と所定の接地電位との間に、定電 流出力値を規定する基準電流値を選択して設定す るための電流値設定手段と、

を備えることを特徴とする定電流回路。

#### 発明の詳細な説明

#### 〔産業上の利用分野〕

本発明は定電流回路に関し、特に定電圧動作に対応して、安定した定電流出力を供給することのできる定電流回路に関する。

#### 〔従来の技術〕

従来の定電液回路の一例を第2図に示す。第2図に示されるように、従来の定電流回路は、負責回路34に対応して、定電圧第15、ダイオード16、トランジスタ17~24、PMOSトランジスタ25~28、インパータ29および30、および抵抗31~33等を備えて構成されており、トランジスタ17,18 および19と、トランジスタ20、21 および22は、それぞれ第1 および第2のカレントミラー回路を形成している。また、PMOSトランジスタ25~28とインパータ29および30は、スイッチング回路を形成しており、ダイオード16、トランジスタ23および24、抵抗31~33、および定電圧率15は、電圧で設定機回路を形成している。

第2回において、定電圧源15による定電圧 $V_1$ の印加により、ダイオード16の順方向電圧 $V_{015}$ 、およびトランジスタ23または24のベース・エミッタ同の電圧 $V_{0123}$  または $V_{0124}$  を介して、抵抗31または32には、それぞれ $V_1/R_1$  または $V_1/R_2$  に相当する設定電流 $I_0$ または $I_0$ が流れる。即ち、定電圧源の電圧 $V_1$ は、設定電流 $I_0$ または $I_0$ に変換される。ここに、 $I_1$ および $I_2$ は、それぞれ抵抗31および32の抵抗値である。

ラー回路を介して電流した変換され、更に、前記 第2のカレントミラー回路により電流しに変換さ れて、負荷回路34に供給される。

次に、電流設定端子57を介して、設定電流として1.が選択された場合の動作について説明する。 第2回において、上記設定電流1.は、次式により 表わされる。

$$1_{b} = \frac{V_{1} + V_{910} - V_{9223}}{R_{3}} \cdots \cdots (1)$$

上式において、Voja = Vazza とすると、数定電 は、

として与えられる。

また、第1および第2のカレントミラー回路の 電流変換係数をそれぞれkiおよびkzとすると、電 流la、laおよびluは、それぞれ次式にて与えられ

 $I_L = k_2 I_1 \cdots \cdots (5)$ 

従って、(3),(4) および(5) 式より、電流 Li は 次式により得られる。

なお、上式において、各記号の意は下記のとう りである。

1。: 設定電流

La: 第1のカレントミラー回路の入力電流

I.: 第1のカレントミラー回路の出力電流 (第2のカレントミラー回路の入力電流)

IL: 第2のカレントミラー回路の出力電流 (名を回取34に体験される電流)

vi: 定電源電圧

Vo14: ダイオード16の履方内電圧

Vagas:トランジスタ23の ベース・エミッタ同葉圧

ki:第1のカレントミラー回路の 電流変換係数

kz: 第2のカレントミラー回路の点数

次に、上記の定電流回路において、電源端子 56 を介して供給される電源電圧 Vac が低下した場合 について考えると、電源電圧Vcc と、各部の電位 関係については次式が成立する。

上式において、

Vcc: 電源電圧

Vacir:トランジスタ17の ベース・エミッタ 筒電圧

Vasia:トランジスタ18の ベース・エミッタ 国電圧

V<sub>D326</sub>: P M O S トランジスタ 26の ドレイン・ソース 同電圧

Vcs23:トランジスタ23の コレクタ・エミッタ関電圧

Vi: 定電圧顕電圧

第2因において、定電流圏路が飽和しないためには、(7) 式において、 $V_{BE17} = V_{BE18} = 0.7V$ 、 $V_{BE26} = 0.5V$ 、 $V_{CE25} = 0.5V$ 、および $V_{1} = 1.3V$ として、 $V_{CC} = 3.7V$ となる。即ち、定電液回路を飽和させないためには、電源電圧 $V_{CC}$ として、3.7V以上の電圧にて動作させることが必要となる。ことことは、電流設定端子58を介して、設定電流と

してleが選択された場合についても同様である。 (発明が解決しようとする課題)

上述した従来の定電流回路においては、電流電圧が低下してくると、前記(7) 式にて示される関係式に対応して飽和状態が発生し、設定電流が正しく設定されなくなるために、負荷回路に入力される供給電流に差異を生じるという欠点がある。 更に、前記(1) 式により明らかなように、Vnis および Vnzz のそれぞれ電圧のバラツキに対応してVnzz やynz となり、設定電流自体においても設

### 〔課題を解決するための手段〕

本発明の定電流回路は、所定の定電圧を正相入力して、その出力電圧を所定のトランジスタのベースに入力し、このトランジスタのエミックを介して出力電圧を逆相入力関に帰還する。動増福器と、基準電圧側を前記トランジントミラレクタに接続して形成される第1のカレントミラー回路の出力側に接続し、出力概を所定の負荷に

路に接続して形成される第2のカレントミラー回路と、前記トランジスタのエミッタならびに差動増幅器の連相入力側と所定の接地電位との間に、定電液出力値を規定する基準電流値を選択して設定するための電流値数定手段と、を備えて構成される。

#### (実施例)

次に、本発明について図面を参照して説明する。第1図は本発明の一実施例の回路図である。第1図に示されるように、本実施例は、負責回路14に対応して、定電圧製1と、差額増幅器2と、トランジスタ3~9と、NMOSトランジスタ10および11と、抵抗12および13と、を備えて一成される。

第1図において、トランジスタ4、5および6と、トランジスタ7、8および9は、それぞれ第1および第2のカレントミラー回路を形成しており、PMOSトランジスタ10および11はスイッチング回路を形成している。また、定電圧運1、差動増幅器2、トランジスタ3および抵抗12および

13は、それぞれPMOSトランジスタ10および11 を介して電圧・電流変換回路を形成している。

差別増幅器2は、トランジスタ3を介して全婦 型型の増幅回路を構成しており、定電圧減1の電 圧V1を差別増幅器2の正相入力機に印加すると、 当該電圧V1は、スイッチング回路を形成するNM OSトランジスタ10または11の「オン」抵抗値 が、定電流設定抵抗である抵抗12および13の抵抗値に対比して十分に小さいため、そのまま端子54 または55に出力される。即ち、電圧V1は、V1/R1 またはV1/R2 に相当する設定電流1。または1。に変 扱される。ここに、R1およびR2は、それぞれ抵抗 31および32の抵抗値である。

以下、設定電流 la または laが、順次、電流 la 、 la および la に変換されてゆく動作については、前述の従来例の場合と同様である。

14 H. 61

次に、本実施例において、電流設定端子52から入力される電流設定信号を介して、数定電流としていが選択される場合を例として、その動作を設明する。NMOSトランジスタ10の「オン」抵抗

値を $R_{10}$  とすると、 $R_{1} > R_{10}$  として、上記の $I_{10}$ は 次式にて表わされる。

$$I_b = \frac{V_1}{R_1 + R_{10}} = \frac{V_1}{R_1} - \cdots - (8)$$

上式において、R1は抵抗12の抵抗値である。

従って、負荷回路14に供給される電流「Lは、前述の(6) 式と同様に、 L= k1k2「Lとなる。ここにおいて、上記(8) 式と前述の(1) 式とを比較対照して明らかなように、本実施例においては、従来例における、ダイオード16の順方向電圧Vo16と、トランジスタ23のベース・エミッタ間電圧Vox29とに対応する電圧による影響が無いため、設定電流」に変動製造を生じない。

次に、本実施例において、電源端子51から供給される電源電圧が低下した場合には、電源電圧 Vcc と各部の電位との関係式として次式が成立する。

Vcc = Vss4 + Vss5 + Vcs3 + V1 ... ... (9)

従って、上記(9) 式を前述の(7) 式と対比してみると、(9) 式の方が、右辺において、従来例に

おけるPMOSトランジスタ26のドレイン・ソース同葉圧に相当する Vosze の分だけ少なくなっていることが分る。この故に、電源電圧 Vcc の低に対応して、当該電源電圧 Vcc が、前記 Vosze の欠如に対応する。より低いレベルに低下する状態においても、尚、定電流回路として飽和状態に達することができる。

このことを、前述の従来例の場合と同様に、数値的に計算してみると、 $V_{BEA}=V_{BES}=0.7V$ 、 $V_{CES}=0.5V$ 、 $V_{4}=1.3V$ として、これらの数値を(9) 式に代入すると、 $V_{CC}=3.2V$ となる。即ち、 $V_{CC}$ が3.2Vに低下するまで、定電流回路としての正常動作を期待することができる。

また、NMOSトランジスタ10および11を含むスイッチング回路は、本実施例においては、2回路により構成されているが、このスイッチング回路の数は2回路に限定されるものではなく、必要に応じてその数を増加することができる。なお、本実版例においては、第1および第2のカレント

ミラー回路を介して、設定電流を変換して所定の 定電流を負荷回路に供給しているが、第1のカレ ントミラー回路のみによって、設定電流を変換し て、負荷回路に所定の定電流を供給することも可 能であり、同様の効果を期待することができる。 (発明の効果)

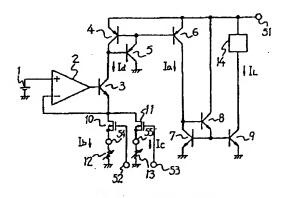
以上、詳細に説明したように、本発明は、所定の負荷回路に定電流を供給する定電流回路に適用されて、供給電温電圧の低下時においても、より安定に所定の定電流を負荷回路に供給することができるという効果がある。

#### 図面の簡単な説明

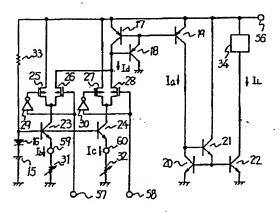
第1図は、本発明の一実施例の回路図、第2図は従来例の回路図である。

図において、1,15……定電圧源、2……差動 増福器、3~9、17~24……トランジスタ、10, I1……NMOSトランジスタ、12、13、31~33… …抵抗、14,34……負荷回路、25~18……PMO Sトランジスタ、29.30 ……インバータ、

**代理人 會理士 内 原 晋** 



1····定電圧派 2····差動増幅器 3~9····トランジスタ 10, 11····NMOSトランジスタ 12, 13···· 私抗 4····負荷回路



5…定型圧派 お…ダイオード 17~24…トランジスタ 25~28…PMOSトランジスタ 29、30…インパータ 31~33…抗抗 34…負荷回路

第2図

第1図